

BIPOLAR JUNCTION TRANSISTOR EXHIBITING IMPROVED BETA AND PUNCH THROUGH CHARACTERISTICS

Patent number: JP7501181T

Publication date: 1995-02-02

Inventor:

Applicant:

Classification:




- International: H01L21/331; H01L29/73

- european: H01L21/331F; H01L29/10B; H01L29/36; H01L29/732

Application number: JP19920507854 19921019

Priority number(s): WO1992US08905 19921019; US19910780640
19911023

Also published as:

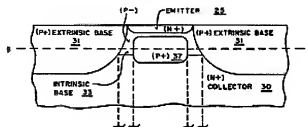
 WO9308599 (A)
 EP0609351 (A1)
 EP0609351 (A4)

Report a data error he

Abstract not available for JP7501181T

Abstract of corresponding document: **WO9308599**

A bipolar transistor having an emitter (25), a base (31), and a collector (30) includes an intrinsic base (33) region having narrow side areas (p-) and a wider central area (37). The side areas are located adjacent to the extrinsic base region (31), while the central area (37) is disposed underneath the emitter (25). The lateral doping profile of the base is tailored so that the doping concentrations in the extrinsic region (31) and the central area (37) are relatively high compared to the doping concentration of the narrow side areas (p-) of the intrinsic base (33). The combination of the narrow side areas (p-) and the lateral base doping profile constrains the depletion region within the base thereby lowering punch-through voltage of the transistor without loss of beta.



Data supplied from the esp@cenet database - Worldwide

特表平 7-501181

(43) 公表日 平成7年(1995)2月2日

(51) Int. C.1.⁶

識別記号 庁内整理番号

F 1

H 0 1 L 21/331

H 0 1 L 29/73

H 0 1 L 21/331

H 0 1 L 29/73

審査請求 未請求

(全 8 頁)

(21) 出願番号 特願平5-507854
 (86) (22) 出願日 平成4年(1992)10月19日
 (85) 翻訳文提出日 平成6年(1994)4月22日
 (86) 国際出願番号 PCT/US92/08905
 (87) 国際公開番号 W093/08599
 (87) 国際公開日 平成5年(1993)4月29日
 (31) 優先権主張番号 780, 640
 (32) 優先日 1991年10月23日
 (33) 優先権主張国 アメリカ合衆国 (U S)

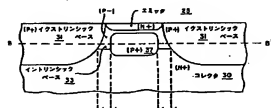
(71) 出願人 マイクロユニティ システムズ エンジン
 アリング、インコーポレイテッド
 アメリカ合衆国 カリフォルニア州 940
 89 サニーバール、スイート410 キャス
 ビン ドライブ 255
 (72) 発明者 マシューズ、ジェイムス エイ、
 アメリカ合衆国 カリフォルニア州 950
 35 ミルピタス、アルコスタ ドライブ
 878
 (74) 代理人 大塚 康徳 (外1名)

最終頁に続く

(54) 【発明の名称】 ベータ特性とパンスルー特性を改良したバイポーラジャンクショントランジスタ

(57) 【要約】 (修正有)

エミッタ (25)、ベース (31)、コレクタ (30) を備えるバイポーラトランジスタは、狭いサイド領域 (p⁺) とより広い中央領域 (37) を備えるイントリンシックベース (33) 領域を含む。サイド領域は、イクストリンシックベース領域 (31) に隣接して配置される。その時、中央領域 (37) は、エミッタ (25) の下に配置される。ベースの水平ドーピングプロファイルは、イクストリンシック領域 (31) と中央領域 (37) でのドーピング濃度が、イントリンシックベース (33) の狭いサイド領域 (p⁺) のドーピング濃度に比較して相対的に高くなるように構築される。狭いサイド領域 (p⁺) と水平ベースドーピングプロファイルの組み合わせは、ベース内に空乏領域を抑制する。そのことによって、トランジスタのパンスルー電圧をベータのロスなしに低くできる。



【特許請求の範囲】

1. 第1伝導型のエミッタと、
前記第1伝導型のコレクタと、
前記エミッタを水平に配置したイクストリンシック領域と、前記コレクタから前記エミッタを垂直に分離するインドリニンシック領域を有する第2伝導型のベースとを備え、
前記インドリニンシック領域は、前記イクストリンシック領域に隣接するサイド領域と、前記エミッタ下に配置される中央領域とを有し、前記ベースの水平ドーピングプロファイルは、前記イクストリンシック領域と前記中央領域のドーピング濃度が、前記インドリニンシックベースの前記サイド領域のドーピング濃度に比べて相対的に高くなっていることを特徴とするバイポーラトランジスタ。
2. 前記第1伝導型はn型であり、前記第2伝導型はp型であることを特徴とする請求項1に記載のトランジスタ。
3. 前記第1伝導型はp型であり、前記第2伝導型はn型であることを特徴とする請求項1に記載のトランジスタ。
4. 前記トランジスタのパンチスルー電圧を上げるために、前記サイド領域は、形成される空乏層を抑制するのに十分に狭いことを特徴とする請求項2あるいは請求項3に記載のトランジスタ。
5. 前記サイド領域は、およそ0.05ミクロン幅であることを特徴とする請求項4に記載のトランジスタ。
6. 前記イクストリンシック領域と前記中央領域の前記ドーピング濃度は、およそ $1 \times 10^{18} \text{ atoms/cm}^3$ であることを特徴とする請求項5に記載のトランジスタ7. 前記インドリニンシックベースの前記領域のドーピング濃度は、 $1 \times 10^{16} \text{ atoms/cm}^3$ であることを特徴とする請求項6に記載のトランジスタ。
8. 第1伝導型のコレクタ領域と、
前記第1伝導型のエミッタ領域と、
第1のドーピング濃度レベルに重くドーブされ、また、前記エミッタ領域あたりに水平に配置された第2伝導型のイクストリンシックベース領域と、前記エミッ

タ領域下で、かつ前記コレクタ領域の上に配置された前記第2の伝導型のインドリンシックベース領域とを備え、前記第2伝導型の前記インドリンシックベース領域は、前記エミッタ領域下でかつ前記コレクタ領域の上に配置され、前記イクストリンシックベース領域は、前記イクストリンシックベース領域に隣接する前記サイド領域内に第2のドーピング濃度レベルと、前記エミッタ直下の中央領域に第3のドーピング濃度レベルを有し、前記第2のドーピング濃度レベルは、前記第1のドーピングレベルよりかなり低く、前記第3のドーピング濃度レベルは、前記第2のドーピング濃度レベルより高い

ことを特徴とする半導体サブストレートに形成されたバイポーラジャンクショントランジスタ(BJT)。

9. 前記第1伝導型はn型であり、前記第2伝導型はp型であることを特徴とする請求項8に記載のBJT。

10. 前記第1伝導型はp型であり、前記第2伝導型はn型であることを特徴とする請求項8に記載のBJT。

11. 前記トランジスタのパンチスルー電流が減らされるように前記サイド領域内の空乏層を抑制するために、前記インドリンシックベース領域の前記サイド領域は十分に狭いことを特徴とする請求項9あるいは請求項10に記載のBJT

12. 前記サイド領域は、およそ0.05ミクロン幅であることを特徴とする請求項8に記載のBJT。

13. 前記第1と第3のドーピング濃度レベルは、およそ $1 \times 10^{18} \text{ atoms/cm}^3$ であることを特徴とする請求項12に記載のBJT。

14. 前記第2のドーピング濃度レベルは、 $1 \times 10^{18} \text{ atoms/cm}^3$ であることを特徴とする請求項10に記載のBJT。

15. 第1伝導型のエミッタと、

前記エミッタとpnジャンクションを形成する第2伝導型のベースと、前記ベースとpnジャンクションを形成する前記第1伝導型のコレクタを備え、前記ベースは、パンチスルー電圧を増加させるために、前記ベースへのベースコレクタ空乏層領域の拡張を抑制するドーピング手段を備えることを特徴とするバイポーラジャンクショントランジスタ(BJT)。

16. 前記第1伝導型はn型であり、前記第2伝導型はp型であることを特徴とする請求項15に記載のバイポーラジャンクショントランジスタ(BJT)。

17. 前記第1伝導型はp型であり、前記第2伝導型はn型であることを特徴とする請求項15に記載のバイポーラジャンクショントランジスタ(BJT)。

18. 前記ドーピング手段は、より重くドーブされた1対の領域間に限定された軽くドーブされた空間を備えることを特徴とする請求項16あるいは請求項17に記載のバイポーラジャンクショントランジスタ(BJT)。

19. 前記サイド空間は、およそ0.05ミクロン幅であることを特徴とする請求項18に記載のBJT。

20. 前記空間は、前記エミッタ周辺に配置されることを特徴とする請求項19に記載のBJT。

21. シリコンサブストレート内にコレクタ領域を形成する工程と、インドリンシク領域より重くドーブされたイクストリンシクベース領域と、前記インドリンシクベース領域を形成する工程と、より軽くドーブされたサイド領域によって前記イクストリンシク領域から分離した重くドーブされた中央領域を形成するために、ドーブ剤を前記インドリンシク領域に注入する工程と、前記インドリンシクベース領域の前記中央領域の上あたりに配置され、前記イクストリンシクベース領域によって水平方向を囲まれたエミッタ領域を形成する工程とを備えることを特徴とするシリコンサブストレートにバイポーラジャンクショントランジスタを構築する方法。

22. 前記サイド空間は、およそ0.05ミクロン幅であることを特徴とする請求項21に記載のシリコンサブストレートにバイポーラジャンクショントランジスタを構築する方法。

23. 前記注入する工程は、前記インドリンシクベース領域上のマスキング層に窓を形成し、p型ドーブ剤を前記インドリンシク領域に注入することを特徴とする請求項21に記載のシリコンサブストレートにバイポーラジャンクショントランジスタを構築する方法。

24. 前記エミッタ領域を形成する工程は、前記窓を通してn型ドーパ剤を注入する工程を備えることを特徴とする請求項21に記載のシリコンサブストレートにバイポーラジャンクショントランジスタを構築する方法。

25. 前記エミッタ領域を形成する工程は、前記窓を通してn型ドーパ剤を拡散する工程を備えることを特徴とする請求項24に記載のシリコンサブストレートにバイポーラジャンクショントランジスタを構築する方法。

26. サブストレータを供給する工程と、前記サブストレータ内にコレクタ領域を形成する工程と、前記コレクタ領域の上に配置されたベース領域に、第1のドーパ剤を用いて重いドーピングを行う工程と、

前記ベース領域上に窓を提供するために、マスキング層をバターンニングする工程と、

前記窓を通して前記ベース領域に補償ドーパ剤を注入する工程と、前記ベース領域内のより重くドーパされた領域によって囲まれる相対的に軽くドーパされた領域を形成するために、第2のドーパ剤の水平拡散を、前記補償ドーパ剤の水平拡散より小さくして、前記第2のドーパ剤を前記ベース領域に注入する工程と、少なくとも前記窪くドーパされた領域までエミッタ領域を水平拡張させ、前記ベース領域上に、前記エミッタ領域を形成する工程と、を備えることを特徴とする改良されたベータとパンチスルー特性をもつバイポーラジャンクショントランジスタを構築する方法。

27. 前記第1のドーパ剤と前記第2のドーパ剤はp型であり、前記補償ドーパ剤はn型であることを特徴とする請求項26に記載のバイポーラジャンクショントランジスタを構築する方法。

28. 前記バターンニングする工程は、

前記サブストレータ上に耐火性のマスキング層を置く工程と、前記窓を形成するための前記マスキング層をバターンニングする工程と、を備えることを特徴とする請求項27に記載のバイポーラジャンクショントランジスタを構築する方法。

29. 前記耐火性のマスキング層は、

2酸化シリコンであることを特徴とする請求項28に記載のバイポーラジャンクショントランジスタを構築する方法。

30. 前記第2のドーパ剤は、

前記窓を通して前記ベース領域に注入されることを特徴とする請求項29に記載のバイポーラジャンクショントランジスタを構築する方法。

31. 前記補償ドーパ剤は、

イオン注入によって前記ベース領域に注入されることを特徴とする請求項30に記載のバイポーラジャンクショントランジスタを構築する方法。

32. 前記エミッタ領域は、

他のマスキング層を通して拡散によって形成されることを特徴とする請求項31に記載のバイポーラジャンクショントランジスタを構築する方法。

【発明の詳細な説明】

[発明の名称]

ベータ特性とパンチスルー特性を改良したバイポーラジャンクショントランジスタ

[発明の分野]

本発明は、バイポーラジャンクショントランジスタデバイス構造の分野に関する。

[発明の背景]

現在の高速バイポーラジャンクショントランジスタ(BJT)は、一般的に、高ベータ(例えば、順方向電流ゲイン)と高ベースパンチスルー抵抗に関する競合関係に制約を受けている。

パンチスルーは、十分す高コレクターベース電圧 V_{cb} で、ニュートラルなベース幅がゼロに近づくように狭められる効果と関連する。ニュートラルなベース幅がゼロに近づく(ように狭められると、コレクターベース空乏領域は、エミッターベース空乏領域と直接的に連絡する。この時点で、コレクタは効率的にエミッタと短絡し大電流が流れる。

ベータとパンチスルー電圧の効果の両方は、ベースチャージ Q_b を通して結合される。バイポーラトランジスタのベース領域での全チャージは、ドーピング濃度 N_b とベース幅 w_b の積によって決められる。 Q_b を下げることは、ベータを上げ、また同時に、パンチスルー電圧を下げる。洋、に、 Q_b を上げることはベ-

タを下げ、結果としてパンチスルー電圧をより上げる。高ベータと高パンチスルー抵抗間のトレードオフは、長年、シリコンバイポーラトランジスタの基本的特徴であった。

過去に、研究者達は、エミッタ、ベースとその両方のバンドギャップ特性を変えることによって、ベータとパンチスルー電圧の競合効果を切り離す試みを行ってきた。ベースでのバンドギャップを下げることは、例えば、シリコンゲルマニウム (SiGe) 合金の利用によって、許容できるパンチスルー電圧で最適なベータ値を生み出す。他方、エミッタ領域のバンドギャップを上げるために、シリコンカーボイド (SiC) 合金を利用する実験は、好適な結果を生み出している。今日、生成されたバンドギャップ“構造の特性をさらに上げるために、その技術に携わる人達によって、重要な研究がなされている。

エミッタ領域とベース領域のバンドギャップを生成する努力が、印象的な結果を生み出す一方、これらの結果は、かなりのコストをかけることなしに生み出されることはなかった。シリコンゲルマニウムやシリコンカーボイドのような合金セミコンダクタを用いたことの欠点の一つは、そのような合金を形成するには、一般に、新型の処理装置を必要とする。例えば、ヘテロジャンクションエピタキシャル層は、分子ビームエピタキシー (MBE) として知られている技術を使って成長される。この方法では、サブストレートは高真空中に置かれ、分子ビームあるいは構成原子の原子ビームが照射される。

しかしながら、MBE装置の主な問題は、極端に低い成長率 (約、1ミクロン/hr) で、また、製造環境を操作することは非常に難しく、高い費用がかかることである。さらに、ヘテロジャンクション合金を形成するためのMBHのような技術は、一般に、現代的な処理装置とその構造 (例えば、BICMOSプロセス) とコンパチビリティがない。これらの制限の観点から、MBEのような先端のエピタキシャル成長技術は、研究施設や特殊なアプリケーション (例えば、マイクロ波増幅デバイス) に限られてきた。ここで、集積レベルはきびしく制限されており、その製造量は同様に小さい。このように、通常のシリコン処理装置とその技術を用いて製造したバイポーラトランジスタで、高ベータと高パンチスルー本発明は、ホモジャンクションバイポーラデバイスでの高ベータと高パンチスルー

電圧を同時に達成する問題を解決するものである。さらに、本発明によれば、その新しいデバイス構造は、通常のシリコン処理装置とリソグラフィ技術を用いて、容易に作られる。さらに、本発明は、大電流で大量生産が可能なセミコンダクタ製造装置によく適している。

〔発明の要約〕

エミッタ、ベース、コレクタの各領域を備えるホモジャンクションバイポーラトランジスタについて記述されている。第4の実施例では、ベース領域は、エミッタ領域について水平に配置されるイントリンシック領域と、垂直にエミッタをコレクタから分離するイントリンシック領域を含む。そのイントリンシック領域は、さらにイントリンシック領域に隣接するサイド領域と、一般にエミッタの下に配置される中央領域を含む。重要なことには、ベースの水平のドーピングプロファイルは、イクス) I J ンシック領域と中央領域でのドーピング濃度が相対的にイントリンシックベースのサイド領域のドーピング濃度に比べて高く設定されている。

本発明によれば、そのサイド領域は、ベースを横切る水平のドーピングプロファイルが、そのサイド領域内に形成される空乏領域を拘束するように、狭く作られる。ベースへのコレクタ空乏領域の拡張を減らすことは、ベータに対して逆の影響なしに、トランジスタのパンチスルー電圧を上げる有益な効果がある。

〔図面の簡単な説明〕

本発明は、実施例を示すことによって描写されるが、添付図面の図に制限されるものではない。ここでは、似たような参照が、似ている要素を示す。

図1は、1つの1次元系でのドーピング機能として、空乏層幅を描く図である。図2Aは、重くドーブされた半導体サンプルと軽くドーブされた半導体サンプルを結合する1次元系に対応して、期待される結果を描いた図である。

する2次元系によって予測され達成された実際の結果を描いた図である。

図3Aは、単純な1次元系で、2つの重くドーブされたPNジャンクション間にサンドイッチされた、薄く、軽くドーブされたPNジャンクションを描いた図である。

図3Bは、2次元系下で、図3の構造に対して予測された結果を描く図である。図

3Cは、p型材料中で、高-低-高の水平ドーピングプロファイルを有する3層の半導体構造に対する空乏領域を示す図である。

ここで、空乏層は、図30に2次元系で描かれていることに注意してほしい。

図4Aは、従来のバイポーラジャンクショントランジスタ構造の断面図を示す図4Bは、図4AのA-A'線で切断されたトランジスタの水平ドーピングプロファイルを描いた図である。

[好適な実施例の詳細な説明]

次の記述では、新しいバイポーラジャンクショントランジスタデバイス構造が開示される。ここでは、本発明を徹底的に理解してもらうために、詳細なドーピングレベル、プロセス工程、ディメンジョン等の具体的な詳細を公開する。しかしながら、これらの具体的詳細は、本発明を実践するためには使われないかもしれないということは、この技術に精通している人にとって明かなことである。他の例では、不必要に本発明を曖昧にすることを避けるために、よく知られている構造とその処理技術については詳細に示していない。

本発明のメカニズムをよりよく理解してもらうために、基本的半導体物性の簡単な議論は有益である。図1を参照して、PNジャンクションの一方のサイドに形成された空乏領域の幅Wdにドーピング濃度の効果を示す。図1は、重くp⁺領域とn⁻領域をもつ重くドーブされたジャンクションと、中位にドーブされたジャンクションと、p-材料とn-材料をもつ軽くドーブされたジャンクションとを描いている。図1から明かなように、幅Wdは、ドーピングを減らすとともに広がる。

図2Aは、単純な1次元半導体系に従って、重くドーブされたサンプルを軽くドーブされたサンプルに結合させた効果を描いている。標準のバイポーラトランジスタの一般動作を予測するために、1次元トランジスタ系は、過去に使われている。1次元物性系は、2つの異ってドーブされた材料間のジャンクションでの空乏層幅の不連続性を予測していることに注意されたい。より正確な2次元系は、2つの異なってドーブされたサンプル間の狭いインターフェイス領域内の空乏層幅の形を正確に予測するために必要とされる。図2Bでは、軽くドーブされた材料と重くドーブされた材料間の実際のジャンクションが、有限遷移領域11によ

って示される。

少しばかりより複雑なケースが、図3の3A~3Cに描かれている。ここで、薄く軽くドーブされたPNジャンクションが、2つのより広く、より重くドーブされたPNジャンクション間にサンドイッチされた様子が示されている。重くドーブされたサンプルは、領域13と領域15によって示されている。また、薄く軽くドーブされたサンプルが領域14として示されている。1次元系では、前もって、軽くドーブされたサンプルと重くドーブされたサンプル間の遷移領域で起こる空乏層幅の変化をとらえることはできない。しかしながら、図3Bの2次元での結果は、重要な新しい効果を描いている。

図3Bでは、軽くドーブされたサンプル14での空乏層幅は、1次元系で予測されたほど、p-領域とn-領域へ拡張しないことに注意されたい。もし、領域14の厚さが十分小さい(例えば、約0.1ミクロン幅のオーダーで)と、この狭いサンプルの空乏領域は、完全な1次元幅まで拡張することが抑制される。空乏領域が減る量は、図3Bでは ΔW_d として描かれている。

より広くより重くドーブされたサンプルによって囲まれた、薄く狭く軽くドーブされたサンプル内で空乏幅が抑制される現象は、本発明のキーコンセプトである。この効果は、図3Bに示される特定構造に制限されないことに注意されたい。同じ効果が、PNジャンクションの一方のサイドだけが軽くドーブされる薄いサンプルを用いることで達成される。この状態は、図30に示される。

図30では、領域14のPNジャンクションの一方のサイドが、重くドーブされて(例えば、 n^+)おり、他方のサイドは軽くドーブされて(例えば、 p^-)いる。言い替えれば、ジャンクションのアクセプタサイドは、中央領域14内で突然変化する水平のプロファイルをもつ。

図30の構造では、ドーピング濃度は領域13、14、15に渡って広範囲に均一であるので、ジャンクションのドナー(p型)サイド上のテ:プリジョン領域は、最小の影響を受ける。他方、アクセプタ(p型)サイド上の空乏領域は、領域14に渡って変化する。ここで、重要な点は、バイポーラジャンクショントランジスタのベースでの、似たような $p^- / p^- / p^-$ 水平ドーピングプロファイルを構築することによって、高ベータを同時に維持しながら、薄く軽(ドーブ

されたベース領域内のパンチスルーを減らすことが可能であるということである。即ち、本発明のポイントは、前述の達成できない目標、即ち、ホモジャンクションバイポーラトランジスタで、高パフォーマンスな高ベータと高パンチスルー電圧を達成するために、ベース領域に渡る水平ドーピングプロファイルを作ることに関する。

図4Aは、従来技術のバイポーラトランジスタの断面図である。図4Aのトランジスタは、半導体サブストレートに形成されたコレクタ領域20を含む。コレクタ領域は、標準的にはN型が重くドーブされる。

n^+ コレクタ領域直上は、イクストリンシックベース領域21とイントリンシックベース領域23を備えるベース領域である。デバイスのベース抵抗を下げるために、イントリンシック領域はp型のドーブ剤が重くドーブされている。

対照的に、高順方向電流ゲインを提供するために、イン) I Jンシックベース領域23 (エミッタ25の $n1$ の直下に配置されている)は、軽くドーブされている。図4へのバイポーラトランジスタの基礎的動作原理は、よく理解されており、そのため、このアプリケーションでは詳細は説明しない。

図4Bは、図4Aのトランジスタの水平のディメンションからベース領域を横断するドーピング濃度NAのプロットである。ライン26は、カットライン $\Delta-\Delta^*$ 上での水平のドーピングプロファイルを示す。イントリンシックベース領域対イクストリンシックベース領域の異なるドーピング濃度は、イントリンシックベース領域23内の相対的により低いドーピング濃度レベルに反映される。

図40は、エミッタ空乏領域とコレクタ空乏領域が、それぞれベース領域21とベース領域23への拡張を表現する破線28と29を含む、図4へのバイポーラジャンクショントランジスタを描いている。これらの空乏領域のベース領域への23への6 f f iは、狭い非空乏イン) I Jンシックベース領域30だけを残すことに注意されたい。高ベータと高速性を得るために、狭いベースが望まれるが、コレクターベース電圧のどんな増加でも、空乏領域29は、さらにベース領域23へ拡張し、最終的に空乏領域28に至る。このように、図4 $\Delta-4c$ に示される高ベータBJTを得るためのペナルティは、パンチスルー電圧が低くなるという好ましくないことが起こることである。他方、非空乏ベース領域30を

広げたり、そのドーピングを増加させることは、ベータを低くし速度を下げるだけで、パンチスルー電圧を上げる。

本発明のデバイス構造は、図5A-5Cに描かれている。本発明での構造と従来技術での構造で、最も著しく異なる点は、重くドーブされた中央のイン)1Jンシクベース領域37の存在である。中央のベース領域37は、相対的に軽くドーブされたイントリンシクベース領域33によって、イクストリンシクベース31から分離されている。イントリンシクベース領域33と中央のベース領域37は、両方ともエミッタ25の下に配置される。同時に、イクストリンシクベース領域31とイントリンシクベース領域33と中央のベース領域37は、全てコレクタ領域30の上に配置される。

本発明の好適な実施例では、エミッタ領域25は、はば0.2~0.3ミクロン幅で、約0.05ミクロンの深さに形成されている。通常のベース幅は、約0.1ミクロンである。イクストリンシクp+ベース領域31は、ベース抵抗を減らすためにある。領域31は、典型的には、ドーブ剤のシリコンサブストレートへの拡散によって形成される。本実施例では、耐イクストリンシクベース領域31は、約 3.0×10^{18} アトム/cm²の濃度のイオン注入がなされる。イントリンシクベース領域33はまた、典型的には、マスキング層を通してイオン注入によって形成される。好ましくは、ベース領域33は、約 5.0×10^{17} アトム/cm²の濃度のイオン注入がなされる。

本発明の主な特徴は、ベース領域を横断する水平のドーピングプロファイルが、標準のBJTに比較してより高く変えられているということである。好ましくは、イントリンシクベース内のドーピング量(これから、全チャージQb)が通常の約5分の1に減らされる。それから、局所的に重くドーブされたp3領域37を生成するために、第2のベース注入工程が、イントリンシクベース領域33の中央上に配置されるマスキング層を通して実行される。領域37に対する注入は、通常エミッタ35の形成に先だって実行される。本実施例では、エミッタ35を形成するために使われたマスキング層はまた、領域37の注入のために使われる。

局所的p+領域7は、好ましくは標準のイントリンシクベースチャージレベ

ルの約2倍にドーブされる。領域37の注入後、デバイスはエミッタ35の注入や拡散に先だって、選択的にアニーリングサイクルが実行される。図5Aの構造を構築する方法は数多くあることはよく知られており、本発明は、幅広い構築技術とプロセス技術を使うことができるであろう。それ故、本発明は、記述した特定の実施例に限定されることはない。

図5八に描かれている基本的特徴は、中央領域37を備えることが、根本的にベース領域の水平のドーピングプロファイルを変えることである。具体的に言えば、領域37を備えることは、軽くドーブされたイン) I J ンシツクベース領域のとても狭い領域を生成し、その領域37はより重くドーブされたイクストリンシツクベース領域と中央のベース領域によって囲まれる。この基本的構造の改良は、ベータに逆の影響を与えることなくパンチスルー電圧特性を改良する。

図5Bは、図5へのトランジスタ構造に対する水平のドーピングプロファイルを示す。ここで、ドーピング濃度は、狭い間隔(p 3 9内では非常に低くなり、イクストリンシツクベース領域(p +) 3 1を中央のベース領域(p a 3 7から分離することに注意されたい。中央領域37では、ドーピング濃度はライン38によって示され、イクストリンシツクベース領域33のドーピング濃度より非常に高くなるということを示している。本実施例では、領域37のドーピング濃度は、イクストリンシツクベース領域31に関するドーピング濃度よりわずかに低い、それらの領域にはほぼ同じ量がドーブされてもよい。

水平のベースの寸法で、2つのp 1領域の近接した間隔のために、図5へー図50で示される状態は、図30で示される状態に類似している。つまり、狭い間隔のために、コレクターベース空乏領域は、通常の相対的ドーピング濃度が与えられているp-イクス) I J ンシツクベース領域33の中までは拡張しない。言い替えば、空乏領域は、ベースの高/低/高の水平のドーピングプロファイルによって抑制されている。それ故、完全に拡張することは許されない。この空乏状態は、図5Cに描かれている。コレクターベース空乏領域は、破線41によって示されており、エミッターベース空乏領域は、破線40によって示されている。ここで、コレクターベース空乏領域は、サンドイッチされたドーピングプロファイルによって抑制され、非空乏ベース領域42は、従来のホモジャンクション

バイポーラ構造のものよりかなり広いということに注意されたい。図5へー図50の構造は、基本的に、より重くドーブされた中央ベース領域して、図30に類似するように、効率的にコレクタ空乏領域を後退させる。本発明のトランジスタ構造は、エミッタのエツジの近くの、狭く軽くドーブされたベース領域、例えば、間隔39によって支配されている。間隔39の一方のサイドの近くのp+領域効果のために、パンチスルー電流は大きく減らされる。小さいエミッターベース間隔39内へのより軽いドーピングのために、pnジャンクションのポテンシャル障壁の高さが、領域37と領域31に比較して、この領域内で低くなる。そして、順方向ベータは、これらの小さく軽くドーブされた領域によって支配され、著しく増大する。

上述したように空乏領域を抑制することは、ベース電流が高抵抗ピンチトベース (the high resistance pinched base) に水平に流れることによって引き起こされる電圧降下による古典的なエミッタエツジ効果とは無関係である。むしろ、インチスルー電流の劇的な減少と同時に起こるベータの増大は、エミッタ下に重くドーブされた／わずかにドーブされた／重くドーブされた水平基準のプロファイルによって、コレクターベース空乏領域の拡張を確実に制限することになる。

本実施例では、この間隔は極端に小さく、約0.05 ミクロン幅である。

また、ゲインの全増加のために、最大動作周波数(例えば、F_c)はまた、著しく改良される。一例として、現在の最新技術のシリコンホモジャンクションバイポーラトランジスタは一般に、3ボルトのコレクタ電圧で約1ナノアンペアのパンチスルー電流に対して、約100の最大ベータをもつ。このデバイスの標準的F_Lは、およそ40GHzである。対照的に、本発明に基づいて構築されたデバイスは、約500のベータ、3ボルトで約1ピコアンペアのパンチスルー電流、55GHzに近いF_cを示す。さらに、ベース抵抗とベース-コレクタ容量は、だいたい従来構造のものと同じである。軽くドーブされた領域(ここでは、大多数のエミッタ電流が順方向バイアス下で注入される)のより小さいポテンシャル障壁のために、本発明のバイポーラトランジスタのターンオン電圧、即ちV_{be}はわずかに減少する。

本発明の他の重要な優位点は、図5へー図50のバイポーラトランジスタが、コレクタ電圧が5Vで十分実行できるということである。コレクターエミッタ電圧が5Vでは、はんの1ナノアンペアのパンチスルー電流で、デバイスのF、が約60GHzまで上がる。エミッタ直下の埋め込み層に狭いスパイクを加えることで、トランジスタの周波数特性を、さらに改良することができる。これは、ベースコレクタ容量の著しい増大なしに、コレクタ走行時間を減らす手段となる。既存のバイポーラトランジスタのパフォーマンスの改良に加えて、本発明は、将来のBJTのスケラビリティを著しく拡張することを保証する。この技術を使って、例えば、トランジスタを、電圧供給を減らすことなしに、より大きく積極的にスケラリングすることができる。このように、本発明は、標準の供給電圧でのコンパチビリティをもち、システムコストを可能な限り低く抑えることができる。

本発明は、具体的にハイスピードバイポーラトランジスタのパフォーマンスを改良するために、空乏領域を制御するコンセプトを具体化しているが、この技術はまた、より一般に他のアプリケーションに適用できる。言い替えれば、より重くドーブされた領域によって囲まれた狭く軽くドーブされた領域の形成は、その軽くドーブされた領域内の関連空乏領域の拡張が減らし、間違いなく他の半導体デバイス構造で役にたつことがわかっている。例えば、同じコンセプトを、上述した型に似ているが、反対の伝導型をもつ構造のpnpデバイスのパフォーマンスを改良するために使うことができる。しかしながら、どちらかの場合において、空乏幅の拡張の効果的削減を行うのに、その間隔が、およそ0.10ミクロン（または、より小さい）幅でなければならないということはない。

さらに、上述した方法で構築されたベースドーピングプロファイルを形成する具体的な技術は、利用できるであろう多くの処理方法の1つを示しているにすぎない。他の実施例では、より重くドーブされた材料の連続したシートに配列された小さな穴とスロットの手段によって、より重くドーブされた領域に囲まれた、軽くドーブされた狭い間隔を形成するかもしれない。そのような代替手段は、本発明の精神と範囲内で容易に考えられるものである。

図6へー図6Dは、本発明の構造を構築するための一つの代替え方法を描いてい

る。例えば、図6Aは、従来の処理技術で形成したコレクタ領域30を描いている。重Xドーブされたp◆領域46は、コレクタ領域30の直上に形成される。領域46は、標準的には拡散やイオン注入によって形成される。マスク層48は、重くドーブされるp型領域46に対する窓に基づいて形成される。(層48に使われる耐火性のマスク層の例は、2酸化シリコンである)。

マスク層48のパターニングのつぎに、軽くドーブされたp-領域51を形成するために、補償ドーブ剤がサブストレートに注入される。これは、図6Bに矢印50で示されている。無論、補償ドーブ剤は、拡散やイオン注入の一方によって注入される。それから、マスク層48の窓よりわずかに大きい補償された領域51を形成するために、ドーブ剤が水平に拡散される。代わりに、領域51よりわずかに大きい水平の面積を作るために、補償ドーブ剤を斜めにイオン注入するか、水平の注込を行う方法が信頼できる方法である。

そして、耐火性マスク層48なしに、追加のドーブ剤がシリコンサブストレートに注入されるか拡散される。これは、図6Cに矢印51で示されている。標準的には、領域46を形成するために使われるドーブ剤は、領域52を形成するために使われるものと同じである。即ち、領域52と領域46のドーピング濃度は、ほとんど同じである。しかしながら、領域52の水平拡散や拡張は、領域51に関連する領域より小さいということが重要である。これは、狭く軽くドーブされた領域51が領域52の周辺あたりに形成されることを確実にする。BJTのために、領域52が、より高濃度にドーブされた中央インtrinsicベース領域を形成することはすでに周知のことである。

ベース領域を完成させるために、マスク層48は取り除かれ、エミッタ55は、従来の写真技術を使って形成される。その技術を実践している人は、上述の方法が、小さいことが要求される領域51を形成するために、制御が容易な拡散や注入プロセスに信頼のある前述のプロセスに関して、かなり有効な点をもつことを正しく評価できるであろう。

本発明は、ある実施例と共に記述されているが、本発明は、他の様々な方法で注入されてもよいことは正しく理解されるであろう。例えば、類似の改良された特性を有するpnp)ランジスタは、p型領域とn型領域を反転することによって

、本発明に対応することがわかるであろう。結局、図によって示され、説明された特定の実施例は、決してこれに限定するものではない。これら実施例の詳細への言及は、本発明に対して基本的とみなされる特徴についてだけ列挙している請求の範囲を制限するものではない。

— 1 トー H

1 次元理論

(B)

2 次元理論

図 2

(A)

1 次元理論。

(B)

2 次元理論

(C)

2 次元理論

図 3

(A)

(C)

(A)

(C)

図 6

フロントページの続き

(81) 指定国 EP (AT、BE、CH、DE。

DK、ES、FR、GB、GR、IE、IT、LU、MC、NL、SE)、0A

(BF、BJ、CF、CG、CI、CM、GA、GN、ML、MR、

SN、TD、TG)、AT、AU、BB、BG、BR、CA、

CH、C3* DE、DK、ES、FI、GB、HU、JP、KP、KR、LK、

LU、MG、MN、MW、NL、No、PL、RO、RU、SD

、SE

(19) 日本国特許庁 (J P)

(12) 公表特許公報 (A)

(11) 特許出願公表番号

特表平7-501181

第7部門第2区分

(43) 公表日 平成7年(1995)2月2日

(51) Int. Cl.

H 0 1 L 21/331
29/73

識別記号

庁内整理番号

F I

8427-4M

H 0 1 L 29/72

審査請求 未請求 予備審査請求 有 (金 8 圓)

(21) 出願番号 特願平5-507854
 (86) (22) 出願日 平成4年(1992)10月19日
 (85) 翻訳文提出日 平成6年(1994)4月22日
 (86) 国際出願番号 PCT/US92/08905
 (87) 国際公開番号 WO93/08599
 (87) 国際公開日 平成5年(1993)4月29日
 (31) 優先権主張番号 780, 640
 (32) 優先日 1991年10月23日
 (33) 優先権主張国 米国 (US)

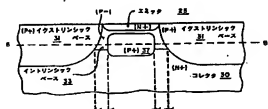
(71) 出願人 マイクロユニティ システムズ エンジン
 アリング, インコーポレイテッド
 アメリカ合衆国 カリフォルニア州
 94089 サニーベール, スイート410 キャ
 スピン ドライブ 255
 (72) 発明者 マシューズ, ジェイムス エイ.
 アメリカ合衆国 カリフォルニア州
 95035 ミルピタス, アルコスタ ドライ
 ブ 878
 (74) 代理人 弁理士 大塚 康徳 (外1名)

最終頁に続く

(54) 【発明の名称】 ベータ特性和パンチスルー特性を改良したバイポーラジャンクショントランジスタ

(57) 【要約】 (修正有)

エミッタ (25)、ベース (31)、コレクタ (30) を備えるバイポーラトランジスタは、狭いサイド領域 (p⁺) とより広い中央領域 (37) を備えるイントリンシックベース (33) 領域を含む。サイド領域は、イクストリンシックベース領域 (31) に隣接して配置される。その時、中央領域 (37) は、エミッタ (25) の下に配置される。ベースの水平ドーピングプロファイルは、イクストリンシック領域 (31) と中央領域 (37) でのドーピング濃度が、イントリンシックベース (33) の狭いサイド領域 (p⁺) のドーピング濃度に比較して相対的に高くなるように構築される。狭いサイド領域 (p⁺) と水平ベースドーピングプロファイルの組み合わせは、ベース内に空乏領域を抑制する。そのことによって、トランジスタのパンチスルー電圧をベータのロスなしに低くできる。



図表の範囲

1. 第1伝導型のエミッタと、

前記第1伝導型のコレクタと、

前記エミッタを介して形成されたイナダストリツク電極と、前記コレクタから前記エミッタを直線に分離するイントリツク電極を有する第2伝導型のベースとを備え、

前記イントリツク電極は、前記イナダストリツク電極に隣接するサイド電極と、前記エミッタ下に配置される中央電極とを有し、

前記ベースの水平ドーピングプロファイルは、前記イナダストリツク電極と前記中央電極のドーピング濃度が、前記イントリツク電極の前記サイド電極のドーピング濃度に対して相対的に高くなっていることを特徴とするバイポーラトランジスタ。

2. 前記第1伝導型はn型であり、前記第2伝導型はp型であることを特徴とする請求項1に記載のトランジスタ。

3. 前記第1伝導型はp型であり、前記第2伝導型はn型であることを特徴とする請求項1に記載のトランジスタ。

4. 前記トランジスタのゲイムス電圧を上げるために、前記サイド電極は、形成される空乏層を制御するのに十分に狭いことを特徴とする請求項2あるいは請求項3に記載のトランジスタ。

5. 前記サイド電極は、およそ0.05ミクロン幅であることを特徴とする請求項4に記載のトランジスタ。

6. 前記イナダストリツク電極と前記中央電極の前記ドーピング濃度は、およそ 1×10^{19} atoms/cm²であることを特徴とする請求項5に記載のトランジスタ。

7. 前記イントリツク電極の前記ドーピング濃度は、 1×10^{19} atoms/cm²であることを特徴とする請求項6に記載のトランジスタ。

8. 第1伝導型のコレクタ電極と、

前記第1伝導型のエミッタ電極と、

前記エミッタとp-nジャンクションを形成する第2伝導型のベースと、

前記ベースとp-nジャンクションを形成する前記第1伝導型のコレクタを備え、

前記ベースは、パルススロー電圧を増加させるために、前記ベースへの電流コレクタ空乏層電極の位置を制御するドーピング手段を備えることを特徴とするバイポーラトランジスタトランジスタ (BJT)。

10. 前記第1伝導型はn型であり、前記第2伝導型はp型であることを特徴とする請求項9に記載のバイポーラトランジスタトランジスタ (BJT)。

11. 前記第1伝導型はp型であり、前記第2伝導型はn型であることを特徴とする請求項9に記載のバイポーラトランジスタトランジスタ (BJT)。

12. 前記ドーピング手段は、より重くドーピングされた1つの電極端に限定された重くドーピングされた空乏層を備えることを特徴とする請求項10あるいは請求項11に記載のバイポーラトランジスタトランジスタ (BJT)。

13. 前記サイド電極は、およそ0.05ミクロン幅であることを特徴とする請求項12に記載のBJT。

14. 前記空乏層は、前記エミッタ周辺に配置されることを特徴とする請求項13に記載のBJT。

15. シリコンサブストレート内にコレクタ電極を形成する工程と、イントリツク電極より重くドーピングされたイナダストリツク電極と、前記イントリツク電極を形成する工程と、

より重くドーピングされたサイド電極によって前記イントリツク電極から分離した重くドーピングされた中央電極を形成するために、ドーピング前記イントリツク電極に注入する工程と、

前記イントリツク電極の電極の前記中央電極の上あたりに配置され、前記イナダストリツク電極によって水平方向を覆われたエミッタ電極を形成する工程とを備えることを特徴とするシリコンサブストレートバイポーラトランジスタトランジスタを構築する方法。

22. 前記サイド電極は、およそ0.05ミクロン幅であることを特徴とする請求項21に記載のシリコンサブストレートバイポーラトランジスタトランジスタを構築する方法。

特表7-501181 (2)

第1のドーピング濃度レベルに重くドーピングされ、また、前記エミッタ電極あたりに水平に配置された第2伝導型のイナダストリツク電極と、

前記エミッタ電極下で、かつ前記中央電極の上とに配置された前記エミッタ電極のイントリツク電極とを備え、

前記第2伝導型の前記イントリツク電極は、前記エミッタ電極下でかつ前記コレクタ電極の上とに配置され、

前記イナダストリツク電極は、前記イナダストリツク電極に隣接する前記サイド電極内と第2のドーピング濃度レベルと、前記エミッタ電極下の中央電極に第3のドーピング濃度レベルを有し、

前記第2のドーピング濃度レベルは、前記第1のドーピング濃度レベルより低く、前記第3のドーピング濃度レベルは、前記第2のドーピング濃度レベルより高いことを特徴とする半導体サブストレートに形成されたバイポーラトランジスタトランジスタ (BJT)。

9. 前記第1伝導型はn型であり、前記第2伝導型はp型であることを特徴とする請求項8に記載のBJT。

10. 前記第1伝導型はp型であり、前記第2伝導型はn型であることを特徴とする請求項8に記載のBJT。

11. 前記トランジスタのパルススロー電圧が短縮されるように前記サイド電極の位置を制御するために、前記イントリツク電極の電極の前記サイド電極は十分に狭いことを特徴とする請求項9あるいは請求項10に記載のBJT。

12. 前記サイド電極は、およそ0.05ミクロン幅であることを特徴とする請求項11に記載のBJT。

13. 前記第1と第3のドーピング濃度レベルは、およそ 1×10^{19} atoms/cm²であることを特徴とする請求項12に記載のBJT。

14. 前記第2のドーピング濃度レベルは、 1×10^{18} atoms/cm²であることを特徴とする請求項13に記載のBJT。

15. 第1伝導型のエミッタと、

ジスタを構築する方法。

23. 前記注入する工程は、

前記イントリツク電極上のマスク層下面を形成し、

p型ドーピングを前記イントリツク電極に注入することを特徴とする請求項21に記載のシリコンサブストレートバイポーラトランジスタトランジスタを構築する方法。

24. 前記エミッタ電極を形成する工程は、

前記電極を通してn型ドーピングを注入する工程を備えることを特徴とする請求項21に記載のシリコンサブストレートバイポーラトランジスタトランジスタを構築する方法。

25. 前記エミッタ電極を形成する工程は、

前記電極を通してn型ドーピングを注入する工程を備えることを特徴とする請求項21に記載のシリコンサブストレートバイポーラトランジスタトランジスタを構築する方法。

26. オブストレートを供給する工程と、

前記オブストレート内にコレクタ電極を形成する工程と、

前記コレクタ電極の上に配置されたベース電極に、第1のドーピングを用いて重くドーピングを行う工程と、

前記ベース電極上に電流を供給するために、マスク層をパターニングする工程と、

前記電極を通して前記ベース電極に重くドーピングを注入する工程と、

前記ベース電極より重くドーピングされた電極によって覆われる相対的に重くドーピングされた電極を形成するために、第1のドーピングの水平拡散を、前記重くドーピングの水平拡散より小さくして、前記第2のドーピングを前記ベース電極に注入する工程と、

少なくとも前記重くドーピングされた電極までエミッタ電極を水平拡散させ、前記ベース電極上と、前記エミッタ電極を形成する工程と、

を備えることを特徴とする改良されたベースとパルススロー電極特性をもつバイポーラトランジスタを構築する方法。

特表平 7-501181 (3)

明細書

ラジアンション) ラジアンションを構築する方法。

27. 前記第1のドープ層と前記第2のドープ層は p 型であり、前記領域ドープ層は n 型であることを特徴とする請求項28に記載のバイポーララジアンショントランジスタを構築する方法。

28. 前記バリエーニングする工程は、

前記サブストレート上に前記領域のマスク層を形成する工程と、

前記層を形成するための請求項27に記載のバイポーララジアンショントランジスタを構築するための請求項27に記載のバイポーララジアンショントランジスタを構築する方法。

29. 前記第2のドープ層は、

2階化シリコンであることを特徴とする請求項28に記載のバイポーララジアンショントランジスタを構築する方法。

30. 前記第2のドープ層は、

前記層を通して前記ベース領域に注入されることを特徴とする請求項28に記載のバイポーララジアンショントランジスタを構築する方法。

31. 前記領域ドープ層は、

イオン注入によって前記ベース領域に注入されることを特徴とする請求項28に記載のバイポーララジアンショントランジスタを構築する方法。

32. 前記エミッタ領域は、

他のマスク層を通して直接によって形成されることを特徴とする請求項31に記載のバイポーララジアンショントランジスタを構築する方法。

層を生み出す。他方、エミッタ領域のバンドギャップを上げるために、シリコンカーボイド (SiC) 合金を利用する実施例は、好適な結果を生み出している。今日、生成されたバンドギャップ構造の特性をさらに上げるために、その技術に依る人達によって、重要な研究がなされている。

エミッタ領域とベース領域のバンドギャップを生成する能力が、印象的な結果を生み出す一方、これらの結果は、かなりのコストをかけることなしに生み出されることはなかった。シリコンガリウムやシリコンカーボイドのような合金エミッタ層を用いたことはその一例である。そのような合金を形成する際には、一般に、前記の処理量を必要とする。例えば、ヘテロラジアンションエミッタ層は、分子ビームエピタキシー (MBE) として知られている技術を使って成長される。この方法では、サブストレートは高真空室中に置かれ、分子ビームあるいは原子源の原子ビームが照射される。

しかしながら、MBE装置の主な問題は、極めて低い成長率 (約、1 Å/コンフリット) で、また、製造規模を維持することは非常に難しく、高い費用がかかることである。さらに、ヘテロラジアンション合金を形成するためのMBEのような技術は、一般に、前記の処理量とその他の問題 (例えば、BICMOSプロセス) とを比較すると良いがない。これらの問題の観点から、MBEのような従来のエピタキシー成長技術は、研究施設や特殊なアプリケーション (例えば、マイクロ波増幅デバイス) に限られてきた。そこで、異種レベルを積み重ねて構築されており、その処理量は両方とも小さい。このように、通常のシリコン処理量とその他の技術を用いたバイポーラトランジスタで、高ベースと高バンドギャップを同時に達成する目的は、まだ達成されていない。

本発明は、ヘテロラジアンションバイポーラデバイスで高ベースと高バンドギャップを同時に達成する問題を解決するものである。さらに、本発明によれば、その新しいデバイス構造は、通常のシリコン処理量とシリコングリッドを用いて、容易に作られる。さらに、本発明は、大電流で大量生産が可能でシリコングリッド製造費をより減らしている。

[発明の名称]

ベース特性とバンドスルー特性を改良したバイポーララジアンショントランジスタ

[発明の分野]

本発明は、バイポーララジアンショントランジスタデバイス構造の分野に関する。

[発明の背景]

現在の高速バイポーララジアンショントランジスタ (BJT) は、一般的に、高ベース (例えば、順方向電圧) と高ベースバンドスルー抵抗に課する適合領域に制約を受けている。

バンドスルーは、十分な高コレクタベース電圧 V_{CB} で、ニュートラルなベース幅がゼロに近づくように決められる結果と関連する。ニュートラルなベース幅がゼロに近づくように決められると、コレクタベース電圧増幅は、エミッタベース電圧増幅と直線的に関連する。この時点で、コレクタは効率的にエミッタと接続し大電流が流れる。

ベースとバンドスルー電圧の増幅の両方は、ベースチャージ Q_b を通して結合される。バイポーラトランジスタのベース電圧増幅の電圧 V_{BE} は、ドープ密度 N とベース電圧 V_{BE} の両方によって決められる。 Q_b を下げることは、ベースを上げ、また同時に、バンドスルー電圧を下げる。逆に、 Q_b を上上げることはベースを下げる。結果としてバンドスルー電圧をより上げる。高ベースと高バンドスルー抵抗のトレードオフは、長年、シリコンバイポーラトランジスタの基本的特性であった。

過去に、研究者は、エミッタ、ベースとその両方のバンドギャップ特性を改善することによって、ベースとバンドスルー電圧の適合関係を改善する試みを行った。ベースでのバンドギャップを下げることは、例えば、シリコングリッド (SiG) 命令の利用によって、許容できるバンドスルー電圧で好適なベ-

エミッタ、ベース、コレクタの各領域を覆えるヘテロラジアンションバイポーラトランジスタについて記述されている。第1の実施例では、ベース領域は、エミッタ領域について水平に配置されるイソトランジスタ領域と、垂直にエミッタをコレクタから分離するインシリコングリッド領域を含む。そのインシリコングリッド領域は、さらにイソトランジスタ領域の両側に配置される。一般にエミッタの下に配置される中央領域を含む。重要なことには、ベースの水平のドープングプロファイルは、イソトランジスタ領域と中央領域のドープングプロファイルが異なるイソトランジスタベースのイソトランジスタ領域のドープング密度に対して高(既定)されている。

本発明によれば、そのイソトランジスタ領域は、ベースを覆る水平のドープングプロファイルが、そのイソトランジスタ領域内に形成される空乏層を拘束するように、狭く作られる。ベースへのコレクタ電圧増幅の効果を減らすことは、ベースに対して逆の影響なしに、トランジスタのバンドスルー電圧を上げる有益な結果がある。

[図面の簡単な説明]

本発明は、実施例を示すことによって理解されるが、図面は例示に制限されるものではない。ここでは、似たような参照が、似ている要素を示す。

図1は、1つの次元でのドープング濃度と、空乏層幅を描く図である。

図2Aは、横くドープされた半導体材料と横くドープされた半導体材料を結合する2次元系に対して、提供される結果を描く図である。

図2Bは、横くドープされた半導体材料と横くドープされた半導体材料を結合する2次元系に対して、提供される結果を描く図である。

図3Aは、単一の次元で、2つのドープされたP型ラジアンション層にシリコングリッドされた、横くドープされたP型ラジアンション層を覆い付けた図である。

図3Bは、2次元系で、図3の構造に対して提供された結果を描く図である。

図3Cは、 p 型材料中、高-低-高の水平ドープングプロファイルを示す3

[発明の要約]

特表平7-501181 (4)

層の半導体構造に対する空乏領域を示す図である。

ここで、空乏層は、図3Cに2次元系で描かれていることに注意してほしい。

図4Aは、従来のバイポーラジャンクショントランジスタ構造の断面図を示す。

図4Bは、図4AのA-A'線で切断されたトランジスタの水平ドーピングプロファイルを描いた図である。

【好きな実施例の詳細な説明】

次の記述では、新しいバイポーラジョイントランジスタデバイス構造が提示されている。ここでは、本発明を概念的に理解してもらうために、詳細はノードレベル、プロセス工程、ダイオードJ等々の具体的な詳細は省略する。しかしながら、これらの具体的な詳細は、本発明を遂行するために必要ではないかもしれないということとは、この技術に精通している人にとって明かなことである。他の例では、必要に応じて本発明を様々な形式とで変更するために、よく知られている構造と、本発明との相違点については図面に示している。

本発明のメカニズムをよりよく理解してもらうために、基本的な半導体特性の簡単な説明は有益である。図1を参照して、P-Nジャンクションの一方のサイドに形成された空乏領域の幅1はドーピング濃度の効果を示す。図1は、置く「p」領域と「n」領域をもつ二重ドープされた結晶と、中にドーピングされたジャンクションと、p「材料」とn「材料」をもつ二重ドープされたジャンクションを覆っている。図1から明かのように、幅Wは、ドーピングを減らすとともに広がる。

図2Aは、単純な1次元半導体系によって、置くドーパされたサンプルを極くドーパされたサンプルに結合させた動素を備えている。標準のバイポーラトランジスタの一般動作を予測するために、1次元トランジスタ系は、過去に使われている。1次元物性系は、2つの異ってドーパされた材料間のジャンクションでの空乏層の不均勻性を予測していることに注意されたい。より正確な2次元系は、2つの異なってドーパされたサンプル間の強いジョイント・エネルギー領域の空乏

層板の形を正確に予測するために必要とされる。図28では、軽くドーピングされた材料と重くドーピングされた材料間の真鍮のジャンクションが、有差運動領域11によって示される。

少しばかりより複雑なケージ。図3のA〜Cに描かれている。ここで、**縦くち**と**重くち**のサンプルがNランダムケージが、2つの区広く、より重くくちと軽いNランダムケージ間にランダムにされた様子で示されている。重くちと軽いサンプルは、**縦くち**と**重くち**15として示されている。また、**縦くち**と**重くち**されたサンプルが**縦くち**として示されている。1次元空間、**縦くち**と**重くち**、**縦くち**と**重くち**と**縦くち**と**重くち**の異なる状態の分布を示している。しかしながら、図3のBとC次元での状態は、重要な変化をいれらるを待っている。

図3Bでは、強くドーピングされたサンプル14での空乏層幅は、1次元品で予測されたほど、p-領域とn-領域へ対称でないことに注意されたい。もし、領域4の厚さが十分小さい(例えば、約0.1μm(トンネルのオーダー)で)、この狭いサンプルの空乏層幅は、完全に1次元層間で拡張することが期待される。空乏層の幅の量は、図3BではΔWとして隠れている。

より広くより重くドーブされたサンプルによって覆まれた。厚く狭く軽くドーブされたサンプル内で空乏層が抑制される現象は、本発明のオーコンセプトである。この効果は、図3に示される特定構造に制限されないことに注意されたい。同じ効果は、PN Junction シェンの一方向のタイプIだけが軽くドーブされる薄いサンプルを用いることで達成される。この効果は、図5Cに示される。

図3Cでは、領域ⅣのPNジャンクションの一方のサイドが、強くドーピングされて(例えば、 n^+)おり、他方のサイドは軽くドーピングされて(例えば、 p^+)いる。言い換えれば、ジャンクションのアナセブタサイドは、中央領域Ⅳ内で定常化する水平のプロファイルをもつ。

図3Cの構造では、ドーピング度は領域13、14、15に渡って広範囲に均一であるので、ジャンクションのドナー（n型）サイド上のデブリション領域は、最小の影響を受ける。他方、アクセプタ（p型）サイド上の空乏領域は、領域14に渡って変化する。ここで、重要な点は、バイポーラジャンクショント

ンジスタのベースでの、図1のようなD/Dプロファイル/水平ドレーピングプロファイルを選択することによって、高ベータを同時に維持しながら、得く短ドレープされたベース領域内のパンチスルーを排除することが可能である。図1の中心部で、即ち、本発明のメインは、前述の通りではない日曜、即ち、セグメンテーション、およびラジアンジスタで、高ベータパフォーマンスは高ベータと高パンチスルー圧迫を達成するために、ベース領域に渡る水平ドレーピングプロファイルを作成することになる。

図4人は、従来のハイブリッドエンジンの制御範囲である。図4人のエンジンスタは、単体のサブストレートに用意されたコレクタ電圧20を有する。コレクタ電圧は、標準的な10Vに設定が与えられる。

■「コレクタ電圧の上昇は、イスタトリック電圧レベル2とイスタトリック電圧レベル3の上昇によるイスタトリック電圧である。パルス電圧レベルを与えるために、イスタトリック電圧レベルは9回のパルスで置くドープされている。対照的に、電流方の電圧のイスタトリック電圧を維持するために、イスタトリック電圧レベル2（エミッタ2）の電圧の下に維持されている。は、柱ドープされている。■電圧のイスタトリック電圧の制御範囲の動作範囲は、より顕著されており、そのために、このイスタトリック電圧はより顕著な、高い。

図4Bは、図4Aのトランジスタの水平のダイメンションからベース領域を切断するドーピング濃度 N_A のプロットである。ライン2日は、カットラインA-A'上で、図4Aのトランジスタのプロファイルを示す。イントリニッチベース領域は、イントリニッチベース領域の異なる位置のドーピング濃度は、イントリニッチベース領域2.3の内部の特性によりドーピング濃度レベルに反映される。

図4Cは、ユニタリ空乏領域とコレクタ空乏領域が、それぞれベース領域2とベース領域3との拡張を含む第2基と2基を含む、図4Aのベースギャングジャクション類似構造を描いている。これらの空乏領域のベース領域への2基の拡張は、狭い空乏インリンクベース領域2の長さを覆うことに注意されたい。高ベースと高速性を得るために、狭いベースが望まれるが、コレクタベース電圧のどんな増加でも、空乏空乏領域3は、さらにベース領域23へ拡張し、最終的に空乏領域23に達する。このように、図4A-Cに示される

高ベータ日「J」を得るためのパネルAは、パンチスルー電圧が低くなるという好ましくないことが起こることである。他方、真空管ベース電流30を広げたり、そのドレーピングを増加させることは、ベータを低くし速度を下げるだけで、パンチスルー電圧を上げる。

本図例のガラス線道は、図5-5に示されている。本図例での構造は従来の技術での構造で、最も著しく異なる点は、重くドーパースした中央のイオン37とシュタットペルズ39の存在である。中央のペース領域37は、相対的に低くドーパされたイオン37とシュタットペルズ39によって、イオン37とシュタットペルズ39から分離されている。イオン37とシュタットペルズ39と中央のペース領域37は、両方ともエッチ25の下に包摂される。同様に、イオン37とシュタットペルズ39とイオン37とシュタットペルズ39と中央のペース領域37は、両方ともエッチ25の下に包摂される。

本発明の好適な実施例では、エミッタ領域25は、ほぼ0.2〜0.3ミクロン幅で、約0.05ミクロンの厚さに形成されている。通常のベース幅は、約0.1ミクロンである。イクストリンシックpベース領域31は、ベース抵抗を減らすためにある。領域31は、典型的には、ドープ剤のシリコンサブストレートの組成による形成される。本実施例では、p⁺イクストリンシックベース領域31は、約2.0×10¹⁹atom/cm³の濃度のイオン注入がなされる。

インtrinsicベース領域3はまた、典型的には、マスキング層を通してイオン注入によって形成される。好ましくは、ベース領域3は、約 5.0×10^{18} アトム/cm²の濃度のイオン注入がなされる。

本見解の主な特徴は、ベースラインを提示する各年のレーニンプロファイルの
順序の目下とに比較してより高く変えられるという点である。つまり、
は、インテリゲンチナ・ベースライン・プロファイル（これら、**ジョー・ジョー**）が
通常の5分の1に減らされる。それら、**両方**に減らされた「**ジョー**」
37を生産するために、**第2のベースライン**が、インテリゲンチナ・**ジョー**
37の中央上に置かれる**アスゲン**を避けて実行される。**ジョー**37に計す
投入は、通常**エータ37**の形に定めて実行される。本見解では、**エタ**
37を生成するために使われる**アスゲン**は、**第2の**37の投入の**中央**

特表平7-501181 (6)

注入されてもよいことは正しく理解されるであろう。例えば、電位の差生された導体を有するpnpトランジスタは、p型領域とn型領域を反転することによって、本発明に対応することができるであろう。結局、図によって示され、説明された特定の実施例は、決してこれに限定するものではない。これら実施例の詳細への言及は、本発明に対して基本的とみなされる特徴についてだけ列挙している請求の範囲を制限するものではない。

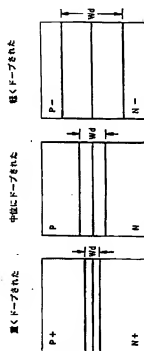


図 1

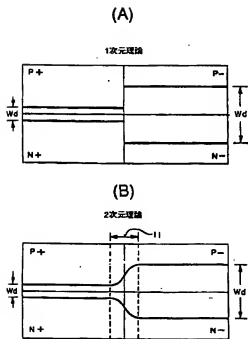


図 2

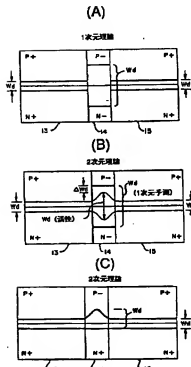


図 3

(C)

非定常ベース領域 30

エミッタ・ベース空間領域 31

(P+) 21

(N+) 22

(P-) 23

(N+) 24

(P+) 25

(N+) 26

(P-) 27

(N+) 28

コレクタ・ベース空間領域 32

(C)

Plan view of a semiconductor device (C). The diagram shows a central region with a rectangular area labeled ΔT (P+). Surrounding this central region are various layers and regions labeled with dopant concentrations and types:

- Top left: 空乏ベース領域 (Depleted base region) 42
- Top center: 32
- Top right: P+ エミッタ・ベース重畳領域 (P+ emitter-base overlap region) 40
- Left side: IP+ 31
- Center: ΔT (P+)
- Right side: IP+ 31
- Bottom left: コレクタ・ベース重畳領域 (Collector-base overlap region) 31
- Bottom center: IP+ 30

5

(A)

40

48 (例 SiO_2)

(P+) 重くドーピングされた領域

コレクタ 30

(D)

エミツタ 33

(P+) 48 (P-) 51

(N+) 33 (P-) 52

(P+) 48 (P-) 51

(N+) 30

6

International Application No.
PCT/JP2006/000000

[illegible]

特表平7-501181 (B)

フロントページの続き

(81)指定国 EP(AT, BE, CH, DE,
DK, ES, FR, GB, GR, IE, IT, LU, M
C, NL, SE), OA(BF, BJ, CF, CG, CI
, CM, GA, GN, ML, MR, SN, TD, TG)
, AT, AU, BB, BG, BR, CA, CH, CS,
DE, DK, ES, FI, GB, HU, JP, KP, K
R, LK, LU, MG, MN, MW, NL, NO, PL
, RO, RU, SD, SE